

Laboratoire n°1

Conception de cellules standards

Professeur:
Yvon Savaria
yvon.savaria@polymtl.ca

Chargé de laboratoire:
Mickaël Fiorentino
mickael.fiorentino@polymtl.ca

Automne 2019

TABLE DES MATIÈRES

1	Introduction	2
1.1	Objectifs du laboratoire	2
1.2	Rapport	2
2	Directives	4
2.1	Porte NOT	4
2.2	Porte NOR	5
2.3	Porte MUX	6
3	Questions	7

1 INTRODUCTION

Pour un circuit de grande complexité, la création de son dessin des masques peut facilement nécessiter plusieurs années-personnes de travail. Le temps requis dépend évidemment du niveau d'optimisation désiré. L'avènement d'outils automatisés, comme les programmes de placement et routage et les outils de synthèse, ne va pas faire disparaître les outils d'édition de dessin des masques, mais plutôt modifier leurs usages. De tels outils auront toujours leur place pour la conception de cellules standards, de cellules spéciales (*full-custom*) comme les amplificateurs de sortie et les réseaux de protection aux entrées, et enfin pour les différentes formes de mémoires qui demandent une optimisation poussée. L'éditeur de dessin des masques demeure une excellente façon de créer les cellules de base qui peuvent ensuite être utilisées comme des tuiles pour composer un circuit à grande échelle.

Le [tutoriel analogique](#) présent sur le Wiki du GRM est la référence qui vous guidera dans l'apprentissage des outils d'édition de dessin des masques. En suivant ce tutoriel vous apprendrez à concevoir et à simuler le dessin des masques d'un inverseur. Les différentes étapes au travers desquelles vous serez guidés sont valables pour la conception de tous les circuits qui seront abordés dans ce laboratoire.

1.1 OBJECTIFS DU LABORATOIRE

Ce premier laboratoire a pour objectif de vous familiariser avec l'édition et la simulation de dessins des masques avec l'outil *Virtuoso* de Cadence. À ce titre, il vous permettra de :

- Expérimenter le module d'édition de masques de Cadence qui permet de créer le dessin des masques d'un circuit intégré.
- Vous familiariser avec les différentes étapes d'un procédé de fabrication CMOS.6
- Réaliser des simulations au niveau transistor.
- Réaliser le placement et le routage manuel de cellules standards contenant plusieurs transistors.
- Utiliser les outils de vérification (*Dessin Rules Check* (DRC), et *Layout Versus Schematic* (LVS)).

1.2 RAPPORT

Votre rapport doit inclure tous les éléments que vous jugerez pertinents pour justifier vos analyses, c'est-à-dire vos schémas, résultats de simulation, dessins des masques, etc. Notez que 2 points sont alloués à la forme du rapport (présentation, figures, introduction et conclusion), ainsi qu'à la qualité de la syntaxe et de l'orthographe utilisé. Les rapports sont acceptés en français et en anglais. Seule la remise d'une version électronique par groupe est nécessaire. On vous demande de fournir un fichier compressé (.zip) contenant :

- Votre rapport en format PDF.
- Vos bibliothèques contenant vos schémas et vos dessins de masques.

Déposez votre fichier sur Moodle avant l'échéance de remise du laboratoire.

PÉNALITÉS DE RETARD La date limite de remise du laboratoire est précisée sur Moodle. Les pénalités de retard P_{retard} sont calculées en fonction du nombre h d'heures de retard tel que :

$$P_{retard} = 0.5 \times \left[1 + \left(\frac{h}{24} \right)^2 \right]$$

REMARQUE : *Nous souhaitons avoir vos commentaires sur les difficultés que vous avez rencontrées ainsi que le temps d'apprentissage que vous avez passé sur les outils durant la réalisation de ce laboratoire. Nous sommes particulièrement intéressés aux lacunes pouvant subsister dans la documentation.*

2 DIRECTIVES

TABLEAU. 1 – Barème de notation

Porte NOT	/3
Porte NOR	/5
Porte MUX	/6
Questions	/4
Rapport	/2

2.1 PORTE NOT

Dans cette partie, on vous demande de réaliser le dessin des masques d'un inverseur CMOS respectant le schéma présenté à la FIGURE.1. En particulier, on vous demande de :

- Concevoir et simuler le schéma de l'inverseur. Mettez en évidence vos résultats de simulation statique et transitoire avec les tailles minimales des transistors. **(1 pt)**
- Concevoir le dessin des masques de l'inverseur à partir de son schéma et du modèle de dessin des masques fourni. Mettez en évidence la validité de votre dessin des masques avec les résultats du DRC et du LVS. **(1 pt)**
- Simuler le dessin des masques de l'inverseur. Mettez en évidence l'effets des parasites sur les caractéristiques de la cellule, par rapport aux résultats obtenus avec le schéma. **(1 pt)**.

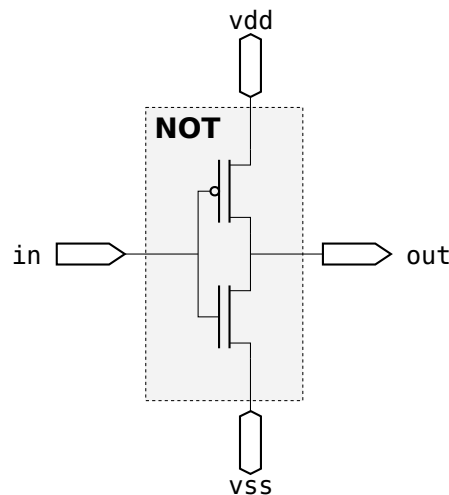


FIGURE. 1 – Circuit CMOS de la porte NOT

2.2 PORTE NOR

Dans cette partie on vous demande de réaliser le dessin des masques d'une porte NOR à deux entrées respectant le schéma présenté à la FIGURE.2. En particulier, on vous demande de :

- Concevoir et simuler le schéma de la porte NOR. Mettez en évidence vos résultats de simulation statique et transitoire avec les tailles minimales des transistors. **(1 pt)**
- Concevoir le dessin des masques de la porte NOR à partir de son schéma et du modèle de dessin des masques fourni. Mettez en évidence la validité de votre dessin des masques avec les résultats de DRC et de LVS. **(2 pt)**
- Simuler le dessin des masques de la porte NOR. Mettez en évidence l'effets des parasites sur les caractéristiques de la cellule, par rapport aux résultats obtenus avec le schéma. **(2 pt)**.

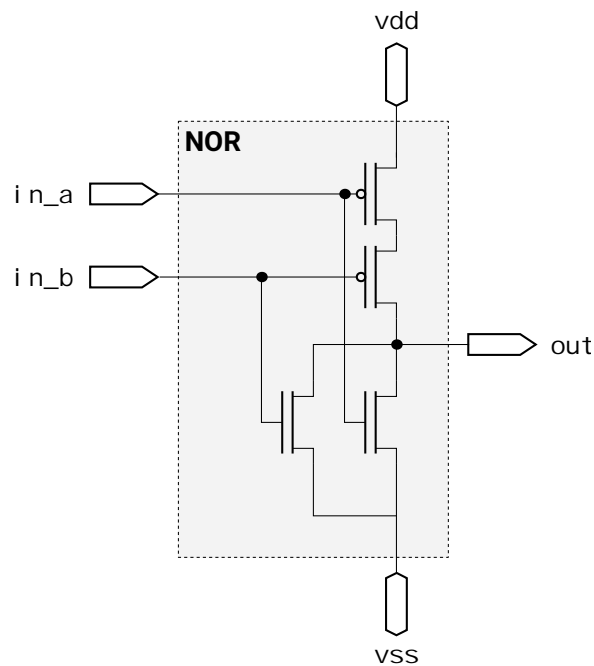


FIGURE. 2 – Circuit CMOS de la porte **NOR**

2.3 PORTE MUX

Dans cette partie on vous demande de réaliser le dessin des masques d'un multiplexeur (MUX) en respectant le schéma présenté à la FIGURE.3. Ici, à la différence des deux cellules précédentes, vous réaliserez le schéma de la porte MUX à partir d'instances de la porte NOR que vous avez conçus (instanciez sa vue `symbol` dans l'éditeur de schéma). En particulier on vous demande de :

- Réaliser le dessin des masques de la porte MUX à partir des instances de la porte NOR. Mettez à profit le fait que vos cellules possèdent des dimensions standards pour réaliser un dessin des masques compact, et mettez en évidence la validité de votre dessin des masques avec les résultats de DRC et de LVS. (4 pt)
- Simuler le dessin des masques de la porte MUX. Mettez en évidence vos résultats de simulation statique et transitoire. Déduisez de vos résultats le délai de la porte à partir de chaque entrée, et expliquez votre démarche. (2 pt)

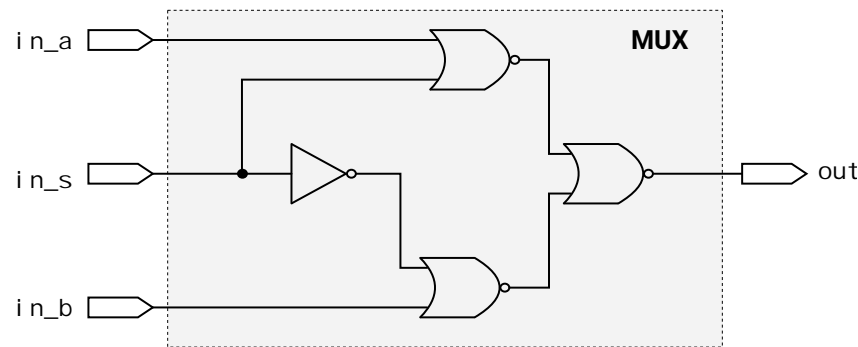


FIGURE. 3 – Circuit CMOS de la porte **MUX**

3 QUESTIONS

1. Expliquez en vos termes la nécessité d'utiliser un modèle de dessin des masques. Quels sont les avantages et les inconvénients d'une telle approche. En conséquence, pourquoi cette approche est-elle privilégiée en électronique numérique? (1 pt)
2. Donnez un aperçu des étapes d'un procédé CMOS conventionnel pertinentes à la fabrication d'un transistor de type p . Discutez spécifiquement du rôle des couches de dessin suivantes lors de la fabrication d'un tel transistor : *Nwell*, *contact*, *poly*, *metal1*, *active*. Pourquoi dit-on que les grilles des transistors sont auto-alignées? (1 pt)
3. Donnez le schéma de principe, ainsi qu'un diagramme squelettique plausible, d'une port XOR réalisé à partir de portes NAND. (2 pt)

REMARQUES :

- *Bien que les couches de métal doivent être préférées pour cet usage, il est possible d'utiliser la couche poly pour router des signaux à l'intérieur d'une cellule, par exemple en prolongeant une grille pour aller chercher l'entrée d'un transistor.*
- *Il est souvent avantageux, pour qu'une cellule soit plus compacte, de faire en sorte que deux transistors complémentaires se partagent une grille, comme vous l'avez fait pour l'inverseur et la porte logique NAND. Par contre, on n'est pas forcé de procéder ainsi pour tous les couples de transistors d'une cellule. Même si deux transistors ont un même signal sur leur grille, la connexion peut se faire via une couche de métal.*
- *N'oubliez pas que le substrat et le puits N doivent être polarisés via au moins un contact chacun.*